

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002134739 A**

(43) Date of publication of application: **10.05.02**

(51) Int. Cl.

H01L 29/78

H01L 21/8234

H01L 27/088

H01L 21/8238

H01L 27/092

(21) Application number: **2000319318**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: **19.10.00**

(72) Inventor: **OTA KAZUNOBU**

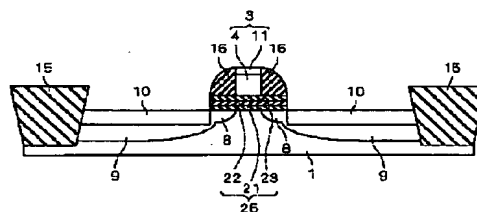
(54) **SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device that includes an insulated-gate-type transistor operating of low power consumption and high speed, and to provide a method for manufacturing the semiconductor device.

SOLUTION: Source and drain regions 9 are selectively formed in the surface of the transistor formation region of an Si substrate 1, a lamination gate insulating film 25 is formed on the channel region between the source and drain regions 9 and 9 in the Si substrate 1, and a gate electrode 3 is formed on the lamination gate insulating film 25. The lamination gate insulating film 25 is formed by the three-layer structure of HfSiO₂, HfO, and HfSiO₂ films 21, 22, and 23, where each has higher dielectric constant than that of SiO₂. In the HfSiO₂ film 21, reactivity on an interface with the Si substrate 1 is low, as compared with that of the HfO₂ film 22. In the HfSiO₂ film 23, the reactivity on the interface with the gate electrode 3 (polysilicon layer 4) is low, as compared with that of the HfO₂ film 22.



1: Si基板
3: ゲート電極
9: ソース・ドレイン領域
21: HfSiO₂膜
22: HfO₂膜
23: HfSiO₂膜
25: 積層ゲート絶縁膜

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-134739

(P2002-134739A)

(43) 公開日 平成14年5月10日 (2002.5.10)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 29/78
21/8234
27/088
21/8238
27/092

H 0 1 L 29/78
27/08

3 0 1 G 5 F 0 4 0
1 0 2 C 5 F 0 4 8
3 2 1 D

審査請求 未請求 請求項の数10 O L (全 14 頁)

(21) 出願番号 特願2000-319318(P2000-319318)

(22) 出願日 平成12年10月19日 (2000. 10. 19)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 太田 和伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100089233

弁理士 吉田 茂明 (外2名)

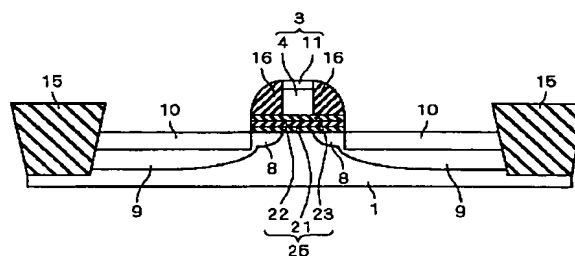
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 低消費電力でかつ高速に動作する絶縁ゲート型のトランジスタを含む半導体装置及びその製造方法を得る。

【解決手段】 Si基板1のトランジスタ形成領域の表面内に選択的に2つのソース・ドレイン領域9が形成され、Si基板1におけるソース・ドレイン領域9、9間であるチャネル領域上に積層ゲート絶縁膜25が形成され、積層ゲート絶縁膜25上にゲート電極3が形成される。積層ゲート絶縁膜25は各々がSiO₂よりも高い誘電率を有するHfSiO₂膜21、HfO膜22及びHfSiO₂膜23の3層構造で形成され、HfSiO₂膜21はHfO膜22よりもSi基板1との界面での反応性が低く、HfSiO₂膜23はHfO膜22よりもゲート電極3（ポリシリコン層4）との界面での反応性が低い。



1 : Si基板
3 : ゲート電極
9 : ソース・ドレイン領域
21 : HfSiO₂膜
22 : HfO膜
23 : HfSiO₂膜
25 : 積層ゲート絶縁膜

【特許請求の範囲】

【請求項 1】 シリコン基板上に作り込まれる絶縁ゲート型のトランジスタを含む半導体装置であって、前記トランジスタは、前記シリコン基板上に選択的に形成されたゲート絶縁膜を備え、前記ゲート絶縁膜下の前記シリコン基板の表面がチャネル領域として規定され、前記ゲート絶縁膜上に形成されたポリシリコンからなるゲート電極と、前記シリコン基板の表面内に前記チャネル領域を挟んで形成された第 1 及び第 2 のソース・ドレイン領域とをさらに備え、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い材質を含んで形成され、上層部、中央部、及び下層部からなり、前記下層部は前記中央部に比べ前記シリコン基板との反応性が低く、前記上層部は前記中央部に比べ前記ゲート電極との反応性が低いことを特徴とする、半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、前記ゲート絶縁膜は、各々がシリコン酸化膜よりも誘電率が高い第 1 ～第 3 の高誘電体絶縁膜を有し、前記第 1 ～第 3 の高誘電体絶縁膜は第 1 ～第 3 の順で積層され、前記下層部は前記第 1 の高誘電体絶縁膜を含み、前記中央部は前記第 2 の高誘電体絶縁膜を含み、前記上層部は前記第 3 の高誘電体絶縁膜を含む、半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、前記トランジスタは第 1 及び第 2 のトランジスタを含み、前記第 1 及び第 2 のトランジスタはそれぞれ前記ゲート絶縁膜、前記ゲート電極及び前記第 1 及び第 2 のソース・ドレイン領域を有し、前記第 1 のトランジスタの前記ゲート絶縁膜の膜厚を前記第 2 のトランジスタの前記ゲート絶縁膜の膜厚より厚くしたことを特徴とする、半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、前記第 1 のトランジスタの前記ゲート絶縁膜は、絶縁膜と各々がシリコン酸化膜よりも誘電率が高い第 1 ～第 3 の高誘電体絶縁膜とを有し、前記絶縁膜、前記第 1 ～第 3 の高誘電体絶縁膜の順で積層され、前記第 1 のゲート絶縁膜の前記下層部は前記絶縁膜及び前記第 1 の高誘電体絶縁膜を含み、前記第 1 のゲート絶縁膜の前記中央部は前記第 2 の高誘電体絶縁膜を含み、前記第 1 のゲート絶縁膜の前記上層部は前記第 3 の高誘電体絶縁膜を含み、前記第 2 のトランジスタの前記ゲート絶縁膜は、各々がシリコン酸化膜よりも誘電率が高い第 4 ～第 6 の高誘電体絶縁膜を有し、前記第 4 ～第 6 の高誘電体絶縁膜は第 4 ～第 6 の順で積層され、前記第 2 のゲート絶縁膜の前記下層部は前記第 4 の高誘電体絶縁膜を含み、前記第 2 のゲート絶縁膜の前記中央

部は前記第 5 の高誘電体絶縁膜を含み、前記第 2 のゲート絶縁膜の前記上層部は前記第 6 の高誘電体絶縁膜を含む、半導体装置。

【請求項 5】 請求項 4 記載の半導体装置であって、前記第 1 及び第 4 の高誘電体絶縁膜は同一材料で形成され、前記第 2 及び第 5 の高誘電体絶縁膜は同一材料で形成され、前記第 3 及び第 6 の高誘電体絶縁膜は同一材料で形成される、半導体装置。

【請求項 6】 シリコン基板上に作り込まれる絶縁ゲート型のトランジスタを含む半導体装置の製造方法であって、

(a)前記シリコン基板上に選択的にゲート絶縁膜を形成するステップを備え、前記ゲート絶縁膜下の前記シリコン基板の表面がチャネル領域として規定され、
(b)前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成するステップと、
(c)前記シリコン基板の表面内に、前記チャネル領域を挟んで第 1 及び第 2 のソース・ドレイン領域を形成するステップとをさらに備え、前記第 1 及び第 2 のソース・ドレイン領域、前記ゲート絶縁膜及び前記ゲート電極によって前記トランジスタが規定され、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い材質を含んで形成され、上層部、中央部、及び下層部からなり、前記下層部は前記中央部に比べ前記シリコン基板との反応性が低く、前記上層部は前記中央部に比べ前記ゲート電極との反応性が低いことを特徴とする、半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法であって、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い第 1 ～第 3 の高誘電体絶縁膜を有し、前記下層部は前記第 1 の高誘電体絶縁膜を含み、前記中央部は前記第 2 の高誘電体絶縁膜を含み、前記上層部は前記第 3 の高誘電体絶縁膜を含み、前記ステップ(a)は、
(a-1)前記シリコン基板上に前記第 1 の高誘電体絶縁膜を形成するステップと、
(a-2)前記第 1 の高誘電体絶縁膜上に前記第 2 の高誘電体絶縁膜を形成するステップと、
(a-3)前記第 2 の高誘電体絶縁膜上に前記第 3 の高誘電体絶縁膜を形成するステップを含む、半導体装置の製造方法。

【請求項 8】 請求項 6 記載の半導体装置の製造方法であって、前記トランジスタは、前記シリコン基板における第 1 及び第 2 の形成領域に形成される第 1 及び第 2 のトランジスタを含み、前記第 1 及び第 2 のトランジスタはそれぞ

れ前記ゲート絶縁膜、前記ゲート電極及び前記第 1 及び第 2 のソース・ドレイン領域を有し、

前記ステップ(a)は、

前記第 1 のトランジスタの前記ゲート絶縁膜の膜厚を前記第 2 のトランジスタの前記ゲート絶縁膜の膜厚より厚く形成するステップを含む、半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法であって、

前記第 1 のトランジスタの前記ゲート絶縁膜は、絶縁膜とシリコン酸化膜よりも誘電率が高い第 1 ～第 3 の高誘電体絶縁膜とを有し、

前記第 1 のゲート絶縁膜の前記下層部は前記絶縁膜及び前記第 1 の高誘電体絶縁膜を含み、前記第 1 のゲート絶縁膜の前記中央部は前記第 2 の高誘電体絶縁膜を含み、前記第 1 のゲート絶縁膜の前記上層部は前記第 3 の高誘電体絶縁膜を含み、

前記第 2 のトランジスタの前記ゲート絶縁膜はシリコン酸化膜よりも誘電率が高い第 4 ～第 6 の高誘電体絶縁膜を有し、

前記第 2 のゲート絶縁膜の前記下層部は前記第 4 の高誘電体絶縁膜を含み、前記第 2 のゲート絶縁膜の前記中央部は前記第 5 の高誘電体絶縁膜を含み、前記第 2 のゲート絶縁膜の前記上層部は前記第 6 の高誘電体絶縁膜を含み、

前記ステップ(a)は、

(a-1)前記第 1 の形成領域上に絶縁膜を形成するステップと、

(a-2)前記絶縁膜上に前記第 1 の高誘電体絶縁膜を形成するステップと、

(a-3)前記第 1 の高誘電体絶縁膜上に前記第 2 の高誘電体絶縁膜を形成するステップと、

(a-4)前記第 2 の高誘電体絶縁膜上に前記第 3 の高誘電体絶縁膜を形成するステップと、

(a-5)前記第 2 の形成領域上に前記第 4 の高誘電体絶縁膜を形成するステップと、

(a-6)前記第 4 の高誘電体絶縁膜上に前記第 5 の高誘電体絶縁膜を形成するステップと、

(a-7)前記第 5 の高誘電体絶縁膜上に前記第 6 の高誘電体絶縁膜を形成するステップとを含む、半導体装置の製造方法。

【請求項 10】 請求項 9 記載の半導体装置の製造方法であって、

前記第 1 及び第 4 の高誘電体絶縁膜は同一材料で形成され、

前記第 2 及び第 5 の高誘電体絶縁膜は同一材料で形成され、

前記第 3 及び第 6 の高誘電体絶縁膜は同一材料で形成され、

前記ステップ(a-2)及び(a-5)は同時に実行され、

前記ステップ(a-3)及び(a-6)は同時に実行され、

前記ステップ(a-4)及び(a-7)は同時に実行される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は半導体装置の構造及びその製造方法に関するものであり、特に MOS トランジスタ等のゲート絶縁型のトランジスタのゲート絶縁膜の構造に関する。

【0002】

【従来の技術】<MOS トランジスタ構造>図 30 は従来の MOS トランジスタの構造を示す断面図である。同図に示すように、Si 基板 1 の素子分離酸化膜 15、15 内のトランジスタ形成領域に MOS トランジスタが作り込まれる。

【0003】すなわち、Si 基板 1 のトランジスタ形成領域の表面内に選択的に 2 つのソース・ドレイン領域 9 が形成され、Si 基板 1 におけるソース・ドレイン領域 9、9 間のチャネル領域上にゲート絶縁膜 2 が形成され、ゲート絶縁膜 2 上にゲート電極 3 が形成され、ゲート電極 3 の側面にサイドウォール 16 が形成される。

【0004】ゲート電極 3 はポリシリコン層 4 とその上部に形成されたシリサイド層 11 からなり、ソース・ドレイン領域 9 からサイドウォール 16 下に伸びてエクステンション領域 8 が形成され、ソース・ドレイン領域 9 上にはシリサイド領域 10 が形成される。

【0005】ゲート絶縁膜 2 は酸化膜もしくは酸化窒化膜もしくはその積層膜で構成されている。ゲート電極 3 は図 30 の例では主としてポリシリコン層 4 で形成されているが、アモルファスシリコンを構成材料としても良い。

【0006】<製造方法>以下、図 30 で示した構造の MOS トランジスタの製造方法を説明する。

【0007】まず、Si 基板 1 を素子分離酸化膜 15 によるトレンチ分離等の素子分離構造で分割する。その後、Si 基板 1 の全面を熱酸化しゲート絶縁膜 2 を形成する。さらにゲート絶縁膜 2 上にポリシリコン層 4 を積層する。

【0008】そして、ポリシリコン層 4 上にハードマスクとなる TEOS 等の酸化膜を形成し、写真製版によって、酸化膜をパターニングする。続いて、パターニングされた酸化膜（ハードマスク）をマスクとしてポリシリコン層 4 に対し異方性エッチング処理を行ってゲート加工する。

【0009】その後、ゲート加工されたポリシリコン層 4 をマスクとして不純物イオン注入処理を行って、不純物拡散領域（エクステンション領域 8 及びソース・ドレイン領域 9）を形成したした後、ゲート加工されたポリシリコン層 4 の側面にサイドウォール 16 を形成する。この際、サイドウォール 16 下の不純物拡散領域がエクステンション領域 8 となる。

10

20

30

40

50

【0010】続いて、ゲート加工されたポリシリコン層4及びサイドウォール16をマスクとして不純物イオン注入を行って、エクステンション領域8に隣接してソース・ドレイン領域9を形成する。

【0011】その後、ハードマスクである酸化膜のエッチングを行い、ゲート加工されたポリシリコン層4の上面を露出させた後、コバルトなど金属をウエハ全面に積層させ、アニールを行う。

【0012】すると、ゲート加工されたポリシリコン層4の上部、及びソース・ドレイン領域9の上層部はシリサイド化し、それぞれシリサイド層11及びシリサイド領域10が形成される。そして、未反応の金属をウェットエッチングで除去する。

【0013】上述した工程を経て、図30で示したMOSトランジスタ構造が完成し、以降は、図30では図示していない層間絶縁膜を形成し、配線などを行うことにより、MOSトランジスタを含む半導体装置が完成する。

【0014】

【発明が解決しようとする課題】図30で示したようなMOSトランジスタを含む半導体装置は、世代が進むにつれ、電源電圧を低電圧化して消費電力を低減しかつ駆動電流を向上させる必要が生じてきた。

【0015】すなわち、MOSトランジスタを含む半導体装置の低消費電力化・高速化を実現するためには、電源電圧を下げかつ駆動電流を増大させる必要があり、従来は主に、MOSトランジスタにおいて SiO_2 （を材料とした）ゲート絶縁膜の薄膜化によって実現してきた。

【0016】図31は図30で示したMOSトランジスタがNMOS構造の場合のオフ動作状態を示す説明図である。同図に示すように、2つのソース・ドレイン領域9（シリサイド領域10）のうち一方にソース端子12を設けて、他方にドレイン端子13を設け、ゲート電極3上にゲート端子14を設け、 Si 基板1に基板電位端子17を設けている。そして、ソース端子12、ゲート端子14及び基板電位端子17の電位を0V、ドレイン端子13の電位を1.5Vに設定している。

【0017】しかし、 SiO_2 ゲート絶縁膜を薄膜化して3nm以下の膜厚にすると、図31に示すように、ゲート絶縁膜2を介した直接トンネルによるゲートリーク電流11が顕著になり、通常のチャネルを経路とする漏れ電流12と比較して同等もしくはそれ以上になり、無視できないレベルになってしまう。つまり、LSIの待機電力（待機状態における電力）が無視できないレベルで大きくなってしまい、これ以上ゲート絶縁膜の薄膜化によるトランジスタの性能向上を図ることができない。

【0018】このように、低消費電力化及び高速動作を図るMOSトランジスタのゲート絶縁膜として SiO_2 という材料が限界に達しており、それを打破するゲート

絶縁膜材料・構造が探求されている。その中では、 HfO_2 、 ZrO_2 などの、 SiO_2 よりも高い誘電率を有する高誘電体材料が、MOSトランジスタが作り込まれる Si 基板との反応性も低いということで有望視されている。

【0019】しかしながら、上述した高誘電体材料をゲート絶縁膜に用いても、ゲート絶縁膜積層後の高温プロセスにおいてはやはり Si 基板と反応してしまい、 Si 基板との間に酸化膜を形成することが知られている。 Si 基板との間に形成される酸化膜は、高誘電体材料を用いて大きなキャパシタンスが得られたゲートキャパシタ構造の誘電率を減少させてしまう。また、 Si 基板との界面反応によって得られた酸化膜は平坦ではなく不均一に形成されているため、ゲート絶縁膜下に形成される Si 基板内のチャネル中のキャリアの移動度が減少してしまい、結局、駆動電流が減少してしまうという問題点があった。

【0020】この発明は上記問題点を解決するためになされたもので、低消費電力でかつ高速に動作する絶縁ゲート型のトランジスタを含む半導体装置及びその製造方法を得ることを目的とする。

【0021】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、シリコン基板に作り込まれる絶縁ゲート型のトランジスタを含む半導体装置であって、前記トランジスタは、前記シリコン基板上に選択的に形成されたゲート絶縁膜を備え、前記ゲート絶縁膜下の前記シリコン基板の表面がチャネル領域として規定され、前記ゲート絶縁膜上に形成されたポリシリコンからなるゲート電極と、前記シリコン基板の表面内に前記チャネル領域を挟んで形成された第1及び第2のソース・ドレイン領域とをさらに備え、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い材質を含んで形成され、上層部、中央部、及び下層部からなり、前記下層部は前記中央部に比べ前記シリコン基板との反応性が低く、前記上層部は前記中央部に比べ前記ゲート電極との反応性が低い。

【0022】また、請求項2の発明は、請求項1記載の半導体装置であって、前記ゲート絶縁膜は、各々がシリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜を有し、前記第1～第3の高誘電体絶縁膜は第1～第3の順で積層され、前記下層部は前記第1の高誘電体絶縁膜を含み、前記中央部は前記第2の高誘電体絶縁膜を含み、前記上層部は前記第3の高誘電体絶縁膜を含む。

【0023】また、請求項3の発明は、請求項1記載の半導体装置であって、前記トランジスタは第1及び第2のトランジスタを含み、前記第1及び第2のトランジスタはそれぞれ前記ゲート絶縁膜、前記ゲート電極及び前記第1及び第2のソース・ドレイン領域を有し、前記第

1のトランジスタの前記ゲート絶縁膜の膜厚を前記第2のトランジスタの前記ゲート絶縁膜の膜厚より厚くしている。

【0024】また、請求項4の発明は、請求項3記載の半導体装置であって、前記第1のトランジスタの前記ゲート絶縁膜は、絶縁膜と各々がシリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜とを有し、前記絶縁膜、前記第1～第3の高誘電体絶縁膜の順で積層され、前記第1のゲート絶縁膜の前記下層部は前記絶縁膜及び前記第1の高誘電体絶縁膜を含み、前記第1のゲート絶縁膜の前記中央部は前記第2の高誘電体絶縁膜を含み、前記第1のゲート絶縁膜の前記上層部は前記第3の高誘電体絶縁膜を含み、前記第2のトランジスタの前記ゲート絶縁膜は、各々がシリコン酸化膜よりも誘電率が高い第4～第6の高誘電体絶縁膜を有し、前記第4～第6の高誘電体絶縁膜は第4～第6の順で積層され、前記第2のゲート絶縁膜の前記下層部は前記第4の高誘電体絶縁膜を含み、前記第2のゲート絶縁膜の前記中央部は前記第5の高誘電体絶縁膜を含み、前記第2のゲート絶縁膜の前記上層部は前記第6の高誘電体絶縁膜を含む。

【0025】また、請求項5の発明は、請求項4記載の半導体装置であって、前記第1及び第4の高誘電体絶縁膜は同一材料で形成され、前記第2及び第5の高誘電体絶縁膜は同一材料で形成され、前記第3及び第6の高誘電体絶縁膜は同一材料で形成される。

【0026】この発明に係る請求項6記載の半導体装置の製造方法は、シリコン基板に作り込まれる絶縁ゲート型のトランジスタを含む半導体装置の製造方法であって、(a)前記シリコン基板上に選択的にゲート絶縁膜を形成するステップを備え、前記ゲート絶縁膜下の前記シリコン基板の表面がチャネル領域として規定され、(b)前記ゲート絶縁膜上にポリシリコンからなるゲート電極を形成するステップと、(c)前記シリコン基板の表面内に、前記チャネル領域を挟んで第1及び第2のソース・ドレイン領域を形成するステップとをさらに備え、前記第1及び第2のソース・ドレイン領域、前記ゲート絶縁膜及び前記ゲート電極によって前記トランジスタが規定され、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い材質を含んで形成され、上層部、中央部、及び下層部からなり、前記下層部は前記中央部に比べ前記シリコン基板との反応性が低く、前記上層部は前記中央部に比べ前記ゲート電極との反応性が低い。

【0027】また、請求項7の発明は、請求項6記載の半導体装置の製造方法であって、前記ゲート絶縁膜は、シリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜を有し、前記下層部は前記第1の高誘電体絶縁膜を含み、前記中央部は前記第2の高誘電体絶縁膜を含み、前記上層部は前記第3の高誘電体絶縁膜を含み、前記ステップ(a)は、(a-1)前記シリコン基板上に前記第1の高誘電体絶縁膜を形成するステップと、(a-2)前記第

1の高誘電体絶縁膜上に前記第2の高誘電体絶縁膜を形成するステップと、(a-3)前記第2の高誘電体絶縁膜上に前記第3の高誘電体絶縁膜を形成するステップを含む。

【0028】また、請求項8の発明は、請求項6記載の半導体装置の製造方法であって、前記トランジスタは、前記シリコン基板における第1及び第2の形成領域に形成される第1及び第2のトランジスタを含み、前記第1及び第2のトランジスタはそれぞれ前記ゲート絶縁膜、前記ゲート電極及び前記第1及び第2のソース・ドレイン領域を有し、前記ステップ(a)は、前記第1のトランジスタの前記ゲート絶縁膜の膜厚を前記第2のトランジスタの前記ゲート絶縁膜の膜厚より厚く形成するステップを含む。

【0029】また、請求項9の発明は、請求項8記載の半導体装置の製造方法であって、前記第1のトランジスタの前記ゲート絶縁膜は、絶縁膜とシリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜とを有し、前記第1のゲート絶縁膜の前記下層部は前記絶縁膜及び前記第1の高誘電体絶縁膜を含み、前記第1のゲート絶縁膜の前記中央部は前記第2の高誘電体絶縁膜を含み、前記第1のゲート絶縁膜の前記上層部は前記第3の高誘電体絶縁膜を含み、前記第2のトランジスタの前記ゲート絶縁膜はシリコン酸化膜よりも誘電率が高い第4～第6の高誘電体絶縁膜を有し、前記第2のゲート絶縁膜の前記下層部は前記第4の高誘電体絶縁膜を含み、前記第2のゲート絶縁膜の前記中央部は前記第5の高誘電体絶縁膜を含み、前記第2のゲート絶縁膜の前記上層部は前記第6の高誘電体絶縁膜を含み、前記ステップ(a)は、(a-1)前記第1の形成領域上に絶縁膜を形成するステップと、(a-2)前記絶縁膜上に前記第1の高誘電体絶縁膜を形成するステップと、(a-3)前記第1の高誘電体絶縁膜上に前記第2の高誘電体絶縁膜を形成するステップと、(a-4)前記第2の高誘電体絶縁膜上に前記第3の高誘電体絶縁膜を形成するステップと、(a-5)前記第2の形成領域上に前記第4の高誘電体絶縁膜を形成するステップと、(a-6)前記第4の高誘電体絶縁膜上に前記第5の高誘電体絶縁膜を形成するステップと、(a-7)前記第5の高誘電体絶縁膜上に前記第6の高誘電体絶縁膜を形成するステップを含む。

【0030】また、請求項10の発明は、請求項9記載の半導体装置の製造方法であって、前記第1及び第4の高誘電体絶縁膜は同一材料で形成され、前記第2及び第5の高誘電体絶縁膜は同一材料で形成され、前記第3及び第6の高誘電体絶縁膜は同一材料で形成され、前記ステップ(a-2)及び(a-5)は同時に実行され、前記ステップ(a-3)及び(a-6)は同時に実行され、前記ステップ(a-4)及び(a-7)は同時に実行される。

【0031】

【発明の実施の形態】<<実施の形態1>>

<原理>高誘電体材料をゲート絶縁膜に用いた場合に、Si基板との界面反応を減らすために、例えば HfO_2 等の高誘電体材料とSi基板との間に、 HfO_2 に比べ誘電率はより低いSiとの反応性は低く、 SiO_2 よりは誘電率が高い HfSiO_2 層等のシリケート層を介挿する二層ゲート絶縁膜構造が提案されている。

【0032】しかし、この構造では、ゲート電極に金属を用いたときは問題ないが、従来構造通りゲート電極にポリシリコンを用いたときには、ポリシリコンと高誘電体ゲート絶縁膜の間に酸化膜が形成されるため、有効誘電率の減少、チャンネルの移動度減少が起ってしまう。

【0033】一方、ゲート電極に金属を用いたとしても、金属は通常プロセスで用いられる洗浄薬液に溶けやすい、仕事関数を制御しにくいのでしきい値電圧を自由に制御できない、等の別の性能面に問題が生じてしまう。

【0034】本発明は、閾値電圧の制御性等の性能を重視してポリシリコンをゲート電極として用いることを前提とし、ポリシリコンとの界面反応が生じない構造を得るべく、上記二層ゲート絶縁膜構造に加え、 HfO_2 等の高誘電体材料とポリシリコンとの間に、 HfO_2 に比べSiとの反応性は低く SiO_2 よりは誘電率が高い HfSiO_2 層等のシリケート層をさらに介挿する三層ゲート絶縁膜構造の積層ゲート絶縁膜を提案する。

【0035】<構造>図1はこの発明の実施の形態1である半導体装置で用いられるMOSトランジスタの構造を示す断面図である。同図に示すように、Si基板1の素子分離酸化膜15、15内のトランジスタ形成領域にMOSトランジスタが作り込まれる。

【0036】すなわち、Si基板1のトランジスタ形成領域の表面内に選択的に2つのソース・ドレイン領域9が形成され、Si基板1におけるソース・ドレイン領域9、9間であるチャンネル領域上に積層ゲート絶縁膜25が形成される。積層ゲート絶縁膜25は、各々が SiO_2 よりも高い誘電率を有する HfSiO_2 膜21、 HfO_2 膜22及び HfSiO_2 膜23の3層構造で形成される。

【0037】 HfSiO_2 膜21は HfO_2 膜22よりもSi基板1との界面での反応性が低く、 HfSiO_2 膜23は HfO_2 膜22よりもゲート電極3（ポリシリコン層4）との界面での反応性が低い。

【0038】積層ゲート絶縁膜25上にゲート電極3が形成され、ゲート電極3の側面にサイドウォール16が形成される。ゲート電極3はポリシリコン層4とその上部に形成されたシリサイド層11からなり、ソース・ドレイン領域9からサイドウォール16下に伸びてエクステンション領域8が形成され、ソース・ドレイン領域9の上層部にシリサイド領域10が形成される。

【0039】<製造方法>図2～図18は図1で示した実施の形態1のMOSトランジスタの製造方法を示す断

面図である。以下、これらの図を参照して、実施の形態1の半導体装置におけるMOSトランジスタの製造方法を説明する。

【0040】（素子分離）まず、図2に示すように、Si基板1を準備し、次に、図3に示すように、Si基板1を素子分離酸化膜15を用いたトレンチ分離による素子分離によって、素子分離酸化膜15、15間に素子形成領域を形成する。なお、素子分離酸化膜15はSi基板1の裏面に到達せず、素子分離酸化膜15下にSi基板1の一部が残存している。

【0041】（高誘電体絶縁膜の積層）次に、図4～図6に示すように、CVD法による連続プロセスにより、 HfSiO_2 膜21、 HfO_2 膜22、 HfSiO_2 膜23を順次堆積することにより、3層構造の絶縁膜を形成する。これらの膜厚は、 HfSiO_2 膜21は0.3～2nm（3～20オングストロム）、 HfO_2 膜22は0.5～3nm（5～30オングストロム）、 HfSiO_2 膜23は0.3～2nm（3～20オングストロム）とする。

【0042】また、 HfO_2 膜22を形成する場合、真空中でHf（ハフニウム）を蒸着してそれを O_2 などを用いて酸化させて HfO_2 を形成するという方法でも良い。同様に HfSiO_2 21、23の形成方法も真空中でHfSiを蒸着してそれを O_2 などを用いて酸化させるという方法でも良い。

【0043】さらに、材料もHfに限らず、Zr（ジルコニウム）、La（ランタン）もしくは、これらの材料の組み合わせでもよく、シリコンよりも高い誘電率の材料を用いたシリケート／オキサイド／シリケートという3層構造を形成すれば良い。

【0044】（ゲート電極材料の堆積）そして、図7に示すように、全面にポリシリコン層4を形成する。ここで、ポリシリコン層4の膜厚は一例として50nmから300nmとする。

【0045】ここで、ポリシリコン層4の代わりにポリシリコンゲルマニウムもしくはポリシリコンゲルマニウムとポリシリコンの積層構造でも良い。また、ポリシリコンはあらかじめリンがドーピングされているドーブポリシリコンでもよいし、ノンドーブポリシリコンを積層した後、NMOS（トランジスタ形成）領域にはリンをPMOS領域にはボロンをイオン注入しても良い。なお、イオン注入の際、注入を行わない部分はフォトレジスト（図示せず）でマスクしておき、注入が終了後にフォトレジストを除去する必要がある。また、イオン注入される不純物濃度の一例としては $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ がある。

【0046】その後、図8に示すように、ポリシリコン層4上にハードマスクとして用いる酸化膜5を積層した後、図9に示すように、酸化膜5上に反射防止コーティング膜6を形成する。なお、酸化膜5の膜厚は20nmから200nmとする。

【0047】（ゲート電極）つづいて、図10に示すように、全面にレジスト18を塗布し、図11に示すように、レジスト18にゲート電極のマスクパターンを転写、現像してレジストパターン18aを形成する。ゲート幅は一例として0.05 μ mから0.3 μ mとする。

【0048】そして、図12に示すように、レジストパターン18aをマスクにして、ハードマスクである酸化膜5のエッチング処理を行いハードマスクパターン5aを得る。そして、図13に示すように、ハードマスクパターン5aをマスクとして、ポリシリコン層4をエッチングする。

【0049】（ソース・ドレイン領域、エクステンション領域）そして、図14に示すように、不純物イオン19の注入を行い、NMOS、PMOS形成領域それぞれの上層部に、ソース・ドレイン領域9、エクステンション領域8の元になる不純物拡散領域31を形成する。この際、NMOS、PMOS形成領域のうちイオン注入を行わない領域上はフォトリソ（図示せず）でマスクしておく。イオン注入は、例えばNMOSに対しては砒素を注入エネルギー0.1~10keVでドーズ量 $2 \times 10^{14} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とし、PMOSに対してはBF₃を注入エネルギー0.1~10keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とする。

【0050】さらに、図14では図示しないが、ポケット（領域形成のための）イオン注入を行う。例えばNMOSに対してはボロンを注入エネルギー10keV~30keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2} \sim 5 \times 10^{15} \text{ cm}^{-2}$ とし、PMOSに対しては砒素を注入エネルギー50keV~200keV、ドーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ から $5 \times 10^{15} \text{ cm}^{-2}$ でポケットイオン注入を行う。なお、ポケットイオン注入はゲート下に不純物が注入されるように10°から50°注入軸を傾けて、注入軸を回転しながら注入する。

【0051】続いて、熱処理を行い、不純物拡散領域31に注入された不純物を活性化させる。熱処理は温度800℃~1100℃、時間は5sec~60secとする。

【0052】（サイドウォール）その後、図15に示すように、全面に窒化膜32を積層した後、図16に示すように、エッチバックを行い、ゲート加工されたポリシリコン層4の側面にサイドウォール16を形成する。この際、ポリシリコン層4及びサイドウォール16下以外のHfSiO₂膜21、HfO₂膜22及びHfSiO₂膜23並びにハードマスクパターン5aが除去される。なお、窒化膜32の膜厚は30nm~100nmとする。

【0053】（ソース・ドレイン領域）その後、図17に示すように、NMOS、PMOS形成領域それぞれについてレジストマスクをかけて（図17ではレジストマスクが形成されていない素子形成領域を示しているため

レジストマスクは図示せず）、不純物イオン33の注入を行い、NMOS、PMOSそれぞれのソース・ドレイン領域9を形成する。続いて熱処理を行い注入された不純物を活性化させる。この際、サイドウォール16下の不純物拡散領域31がエクステンション領域8となる。

【0054】イオン注入は例えばNMOSに対しては砒素を注入エネルギー10~100keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$ で行い、PMOSに対してはBF₃を注入エネルギー5~50keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$ で行う。また、熱処理は温度800℃から1100℃、時間は1secから30secとする。

【0055】（シリサイド）その後、図18に示すように、コバルトなどの金属を蒸着し、ソース・ドレイン領域9の上層部にシリサイド領域10を、ゲート加工されたポリシリコン層4の上層部にシリサイド層11を形成する。その結果、ポリシリコン層4及びシリサイド層11からなるゲート電極3を得て、図1で示したMOSトランジスタ構造が完成する。

【0056】（層間膜等）以降は、図示しないが、層間絶縁膜、配線等、通常のMOSトランジスタを含む半導体装置の製造方法に従って半導体装置を完成する。

【0057】＜効果＞このように、実施の形態1の半導体装置におけるMOSトランジスタは、ポリシリコンを構成材料としたゲート電極3と高誘電体の絶縁膜を構成材料とした積層ゲート絶縁膜25とから構成している。

【0058】HfSiO₂膜21、23はHfO₂よりもSiとの反応性が低いため、HfSiO₂膜23とゲート電極3との界面あるいはHfSiO₂膜21とSi基板1との界面における界面反応によって、膜厚が不均一な酸化膜が形成されてしまうことはない。

【0059】したがって、ゲート電極3、積層ゲート絶縁膜25、Si基板1（チャネル領域）で形成されるゲートキャパシタ構造の誘電率を減少させてしまうことはなく、Si基板1内のチャネル中のキャリアの移動度が減少してしまい、駆動電流が減少してしまうこともない。

【0060】また、HfSiO₂膜21、23はSiO₂より誘電率が高いため、HfSiO₂膜21、23によってゲートキャパシタ構造の誘電率を減少させることはない。

【0061】その結果、実施の形態1の半導体装置は、ポリシリコンをゲート電極とし、低電源電圧でも高速動作が可能なMOSトランジスタを有することができ、消費電力の低減及び高速動作の実現を図ることができる。

【0062】また、HfSiO₂膜21、HfO₂膜22、HfSiO₂膜23による積層構造により、シリコン酸化膜より誘電率が高く、Si基板1及びゲート電極3（ポリシリコン層4）との反応性が中央部（HfO₂膜22）より低い下層部（HfSiO₂膜21）及び上

層部 (HfSiO_2 膜 23) を有する積層ゲート絶縁膜 25 を、図 4～図 6 及び図 16 で示した比較的簡単な工程を実行することにより得ることができる。

【0063】さらに、ゲート電極 3 としてポリシリコンを用いているためしきい値電圧を比較的自由に制御することができる等の性能向上が図れる。

【0064】また、同じ駆動電流を得る場合、積層ゲート絶縁膜 25 はシリコン酸化膜に比べて膜厚を厚くすることができるため、積層ゲート絶縁膜 25 を介した直接トンネルによるゲートリーク電流が顕著になり、待機電力を増大させることもない。

【0065】＜＜実施の形態 2＞＞

＜構造＞図 19 はこの発明の実施の形態 2 である半導体装置で用いられる MOS トランジスタの構造を示す断面図である。同図に示すように、素子分離酸化膜 15 によって Si 基板 1 を素子分離することにより高電圧動作領域 A1 及び低電圧動作領域 A2 を設けている。

【0066】そして、低電圧動作領域 A2 には、図 1 で示した実施の形態 1 の 3 層構造の積層ゲート絶縁膜 25 を有する低電圧用 MOS トランジスタ Q2 を形成し、高電圧動作領域 A1 には 4 層構造の積層ゲート絶縁膜を有する高電圧用 MOS トランジスタ Q1 を形成している。

【0067】積層ゲート絶縁膜 25 は酸化膜 20、 HfSiO_2 膜 21、 HfO_2 膜 22、 HfSiO_2 膜 23 からなる積層構造である。

【0068】他の構成は、高電圧用 MOS トランジスタ Q1、低電圧用 MOS トランジスタ Q2 共に、図 1 で示した実施の形態 1 の MOS トランジスタの構造と同様であるため、説明を省略する。

【0069】＜製造方法＞図 20～図 29 は図 19 で示した実施の形態 1 の MOS トランジスタの製造方法を示す断面図である。以下、これらの図を参照して、実施の形態 1 の MOS トランジスタの製造方法を説明する。

【0070】（素子分離）まず、図 20 に示すように、 Si 基板 1 を準備し、図 21 に示すように、 Si 基板 1 を素子分離酸化膜 15 を用いたトレンチ分離による素子分離によって、素子分離酸化膜 15、15 間に高電圧動作領域 A1 及び低電圧動作領域 A2 を形成する。

【0071】（シリコン酸化膜形成）次に、図 22 に示すように、 Si 基板 1 の表面を熱酸化し、素子分離酸化膜 15 が形成されていない Si 基板 1 の表面である活性領域上に膜厚が 2～10 nm の SiO_2 膜 20 を形成する。

【0072】そして、図 23 に示すように、レジスト形成後、写真製版によって高電圧動作領域 A1 のみ覆い低電圧動作領域 A2 は開口するようにパターンニングしてレジストパターン 34 を形成する。

【0073】続いて、図 24 に示すように、フッ酸を主成分とする薬液に浸し、低電圧動作領域 A2 の SiO_2 膜 20 のみを除去し、その後、図 25 に示すように、高

電圧動作領域 A1 上を覆っていたレジストパターン 34 も除去する。

【0074】（高誘電体絶縁膜の積層）次に、図 26～図 28 に示すように、CVD 法による連続プロセスにより、 HfSiO_2 膜 21、 HfO_2 膜 22、 HfSiO_2 膜 23 を高電圧動作領域 A1 及び低電圧動作領域 A2 それぞれにおいて順次堆積することにより、高電圧動作領域 A1 では 4 層構造 (20～23) を、低電圧動作領域 A2 では 3 層構造 (21～23) を形成する。

【0075】なお、 HfSiO_2 膜 21、 HfO_2 膜 22、及び HfSiO_2 膜 23 の膜厚、他の製造方法、他の材料等は実施の形態 1 と同様である。

【0076】（ゲート電極材料の堆積～シリサイド）そして、図 7～図 18 で示した実施の形態 1 と同様のプロセスを経て、図 29 に示すように、高電圧動作領域 A1 に SiO_2 膜 20、 HfSiO_2 膜 21、 HfO_2 膜 22 及び HfSiO_2 膜 23 からなる 4 層の積層ゲート絶縁膜 26 を有する高電圧用 MOS トランジスタ Q1 を完成し、低電圧動作領域 A2 に HfSiO_2 膜 21、 HfO_2 膜 22 及び HfSiO_2 膜 23 からなる 3 層の積層ゲート絶縁膜 25 を有する低電圧用 MOS トランジスタ Q2 を完成する。

【0077】（層間膜等）以降は、図示しないが、層間絶縁膜、配線等、通常の MOS トランジスタを含む半導体装置の製造方法に従って半導体装置を完成する。

【0078】＜効果＞このように、実施の形態 2 の半導体装置における高電圧動作領域 A1 に形成される高電圧用 MOS トランジスタ Q1 は、ポリシリコンを構成材料としたゲート電極 3 と高誘電体の絶縁膜 21～23 と SiO_2 膜 20 とを構成要素とした積層ゲート絶縁膜 26 とから構成している。すなわち、 SiO_2 膜 20 及び HfSiO_2 膜 21 を下層部、 HfO_2 膜 22 を中央部、 HfSiO_2 膜 23 を上層部とした積層ゲート絶縁膜 26 を構成している。

【0079】一方、低電圧動作領域 A2 に形成される低電圧用 MOS トランジスタ Q2 は、図 1 で示した実施の形態 1 の MOS トランジスタと同様、ポリシリコンを構成材料としたゲート電極 3 と高誘電体の絶縁膜 21～23 を構成要素とした積層ゲート絶縁膜 25 とから構成している。

【0080】したがって、低電圧用 MOS トランジスタ Q2 においては、実施の形態 1 の MOS トランジスタと同様な効果を奏するため、低電圧下でも動作速度の速い MOS トランジスタとして動作させることができる。

【0081】一方、高電圧用 MOS トランジスタ Q1 においては、積層ゲート絶縁膜 26 は、積層ゲート絶縁膜 25 の構造に SiO_2 膜 20 を追加することにより、高電圧下でも十分信頼性の高いゲート絶縁膜を有する MOS トランジスタとして動作させることができる。

【0082】すなわち、実施の形態 2 の半導体装置は、

高電圧動作領域A1と低電圧動作領域A2が同一チップ上に設けられているLSI（半導体装置）において、高電圧動作領域A1には高電圧下でも信頼性の高いゲート絶縁膜をもつ高電圧用MOSトランジスタQ1を形成でき、低電圧動作領域A2には低電圧下でも動作速度の速いトランジスタを形成するという、MOSトランジスタを使い分けることができる。

【0083】さらに、低電圧用MOSトランジスタQ2の積層ゲート絶縁膜25の全構成要素であり、高電圧用MOSトランジスタQ1の積層ゲート絶縁膜26の主構成要素である、HfSiO₂膜21、HfO₂膜22及びHfSiO₂膜23の積層構造は、図26～図28で示した比較的簡単な工程で同時に形成することができ、製造工程の簡略化を図ることができる。

【0084】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置におけるトランジスタにおいて、ゲート絶縁膜はシリコン酸化膜よりも誘電率が高い材質を含んで形成されているため、ゲート電極、ゲート絶縁膜及びチャネル領域からなるゲートキャパシタ構造の誘電率を、ゲート絶縁膜をシリコン酸化膜で形成する以上に高く設定することができる。

【0085】加えて、ゲート絶縁膜の上層部はゲート電極との反応性が中央部より低く、下層部はシリコン基板との反応性が中央部より低くされているため、上層部とゲート電極との界面反応あるいは下層部とシリコン基板との界面反応が生じて上記ゲートキャパシタ構造の誘電率を低下させ、かつチャネル中のキャリアの移動度を低下させる不具合が生じにくい。

【0086】その結果、請求項1記載の半導体装置は、ポリシリコンをゲート電極とし、低電源電圧でも高速動作が可能なトランジスタを有することにより、消費電力の低減及び高速動作の実現を図ることができる。

【0087】請求項2記載の半導体装置のトランジスタは、各々がシリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜の積層構造により、シリコン酸化膜より誘電率が高く、シリコン基板及びゲート電極との反応性が中央部より低い下層部及び上層部を有するゲート絶縁膜を比較的容易に得ることができる。

【0088】請求項3記載の半導体装置は、第1のトランジスタのゲート絶縁膜の膜厚を第2のトランジスタのゲート絶縁膜の膜厚より厚くすることにより、第1のトランジスタを第2のトランジスタよりも高電圧動作時に適した構造にすることができるため、第1のトランジスタを高電圧動作用に、第2のトランジスタを低電圧動作用に用いる等のトランジスタの使い分けができる。

【0089】請求項4記載の半導体装置の第1のトランジスタは、絶縁膜と各々がシリコン酸化膜よりも誘電率が高い第1～第3の高誘電体絶縁膜との積層構造により、シリコン酸化膜より誘電率が高く、シリコン基板及

びゲート電極との反応性が中央部より低い下層部及び上層部を有するゲート絶縁膜を比較的容易に得ることができる。

【0090】同様に、第2のトランジスタは、各々がシリコン酸化膜よりも誘電率が高い第4～第6の高誘電体絶縁膜の積層構造により、シリコン酸化膜より誘電率が高く、シリコン基板及びゲート電極との反応性が中央部より低い下層部及び上層部を有するゲート絶縁膜を比較的容易に得ることができる。

10 【0091】請求項5記載の半導体装置は、第1及び第4の高誘電体絶縁膜、第2及び第5の高誘電体絶縁膜、並びに第3及び第6の高誘電体絶縁膜をそれぞれ同時に形成することができるため、製造工程の簡略化を図ることができる。

【0092】この発明における請求項6記載の半導体装置の製造方法によって製造されるトランジスタにおいて、ゲート絶縁膜はシリコン酸化膜よりも誘電率が高い材質を含んで形成されているため、ゲート電極、ゲート絶縁膜及びチャネル領域からなるゲートキャパシタ構造の誘電率を、ゲート絶縁膜をシリコン酸化膜で形成する以上に高く設定することができる。

20 【0093】加えて、ゲート絶縁膜の上層部はゲート電極との反応性が中央部より低く、下層部はシリコン基板との反応性が中央部より低くされているため、上層部とゲート電極との界面反応あるいは下層部とシリコン基板との界面反応が生じて上記ゲートキャパシタ構造の誘電率を低下させ、かつチャネル中のキャリアの移動度を低下させる不具合が生じにくい。

【0094】その結果、請求項6記載の半導体装置の製造方法によって、ポリシリコンをゲート電極とし低電源電圧でも高速動作が可能なトランジスタを有する、消費電力の低減及び高速動作を実現可能な半導体装置を製造することができる。

【0095】請求項7記載の半導体装置の製造方法は、ステップ(a-1)～(a-3)を実行するという比較的簡単な処理により、シリコン酸化膜より誘電率が高く、シリコン基板及びゲート電極との反応性が中央部より低い下層部及び上層部を有するゲート絶縁膜を比較的簡単に容易に得ることができる。

40 【0096】請求項8記載の半導体装置の製造方法は、ステップ(a)を実行して、第1のトランジスタのゲート絶縁膜の膜厚を第2のトランジスタのゲート絶縁膜の膜厚より厚く形成することにより、第1のトランジスタを第2のトランジスタよりも高電圧動作時に適した構造にすることができるため、第1のトランジスタを高電圧動作用に第2のトランジスタを低電圧動作用に用いる等のトランジスタの使い分けが可能な半導体装置を得ることができる。

50 【0097】請求項9記載の半導体装置の製造方法は、ステップ(a-1)～(a-4)を実行するという比較的簡単な処

理により、シリコン酸化膜より誘電率が高く、シリコン基板及びゲート電極との反応性が中央部より低い下層部及び上層部を有する第1のトランジスタのゲート絶縁膜を比較的簡単に容易に得ることができる。

【0098】同様にして、ステップ(a-5)～(a-7)を実行するという比較的簡単な処理により、シリコン酸化膜より誘電率が高く、シリコン基板及びゲート電極との反応性が中央部より低い下層部及び上層部を有する第2のトランジスタのゲート絶縁膜を比較的簡単に容易に得ることができる。

【0099】加えて、第1～第3の高誘電体絶縁膜の総膜厚と第4～第6の高誘電体絶縁膜の総膜厚とを同程度で形成するという簡単な処理によって、第1のトランジスタの第1のゲート絶縁膜の膜厚を絶縁膜の膜厚分、第2のトランジスタの第2のゲート絶縁膜の膜厚より厚くすることができる。

【0100】請求項10記載の半導体装置の製造方法は、ステップ(a-2)及び(a-5)、ステップ(a-3)及び(a-6)、並びにステップ(a-4)及び(a-7)をそれぞれ同時に実行することにより、製造工程の簡略化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1である半導体装置で用いられるMOSトランジスタの構造を示す断面図である。

【図2】 実施の形態1の製造方法を示す断面図である。

【図3】 実施の形態1の製造方法を示す断面図である。

【図4】 実施の形態1の製造方法を示す断面図である。

【図5】 実施の形態1の製造方法を示す断面図である。

【図6】 実施の形態1の製造方法を示す断面図である。

【図7】 実施の形態1の製造方法を示す断面図である。

【図8】 実施の形態1の製造方法を示す断面図である。

【図9】 実施の形態1の製造方法を示す断面図である。

【図10】 実施の形態1の製造方法を示す断面図である。

【図11】 実施の形態1の製造方法を示す断面図である。

【図12】 実施の形態1の製造方法を示す断面図である。

【図13】 実施の形態1の製造方法を示す断面図である。

【図14】 実施の形態1の製造方法を示す断面図である。

【図15】 実施の形態1の製造方法を示す断面図である。

【図16】 実施の形態1の製造方法を示す断面図である。

【図17】 実施の形態1の製造方法を示す断面図である。

【図18】 実施の形態1の製造方法を示す断面図である。

【図19】 この発明の実施の形態2である半導体装置で用いられるMOSトランジスタの構造を示す断面図である。

【図20】 実施の形態2の製造方法を示す断面図である。

【図21】 実施の形態2の製造方法を示す断面図である。

【図22】 実施の形態2の製造方法を示す断面図である。

【図23】 実施の形態2の製造方法を示す断面図である。

【図24】 実施の形態2の製造方法を示す断面図である。

【図25】 実施の形態2の製造方法を示す断面図である。

【図26】 実施の形態2の製造方法を示す断面図である。

【図27】 実施の形態2の製造方法を示す断面図である。

【図28】 実施の形態2の製造方法を示す断面図である。

【図29】 実施の形態2の製造方法を示す断面図である。

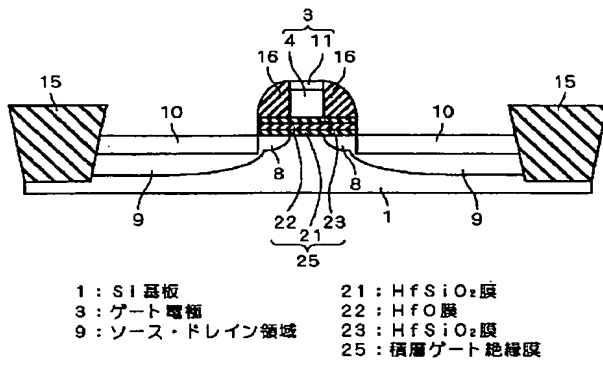
【図30】 従来のMOSトランジスタの構造を示す断面図である。

【図31】 従来のMOSトランジスタ問題点を指摘する説明図である。

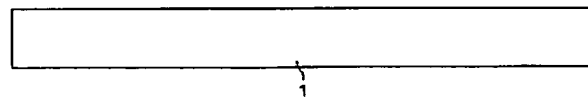
【符号の説明】

1 Si基板、3 ゲート電極、9 ソース・ドレイン領域、20 SiO₂膜、21、23 HfSiO₂膜、22 HfO₂膜、25、26 積層ゲート絶縁膜、A1 高電圧動作領域、A2 低電圧動作領域、Q1 高電圧用MOSトランジスタ、Q2 低電圧用MOSトランジスタ。

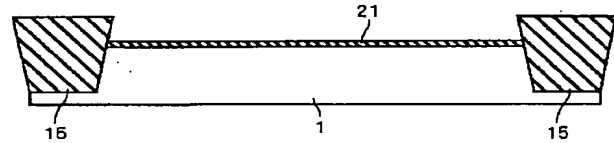
【図1】



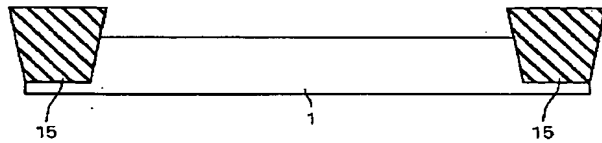
【図2】



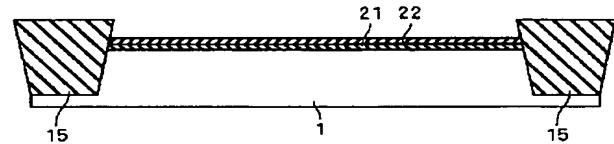
【図4】



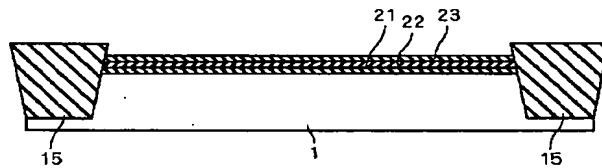
【図3】



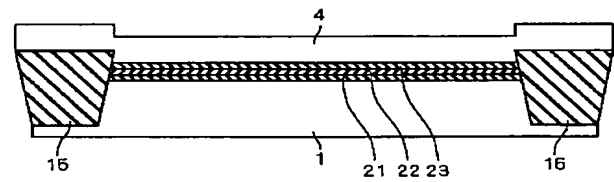
【図5】



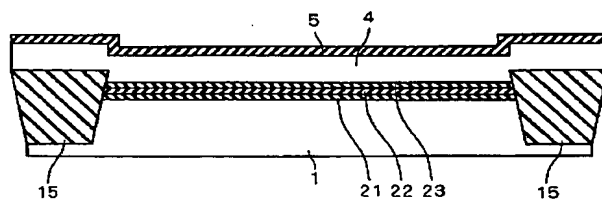
【図6】



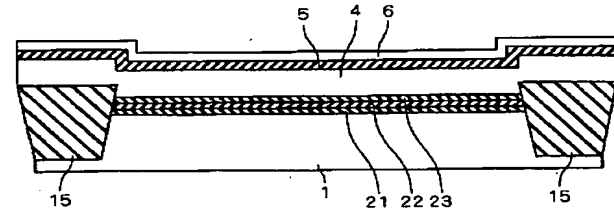
【図7】



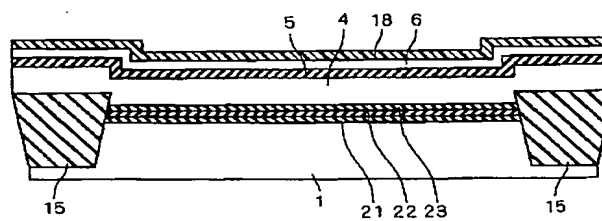
【図8】



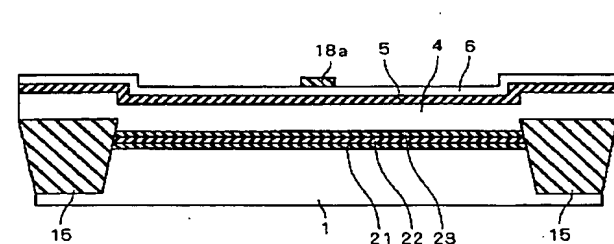
【図9】



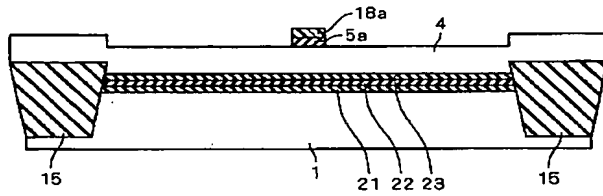
【図10】



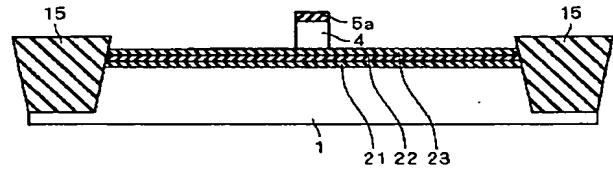
【図11】



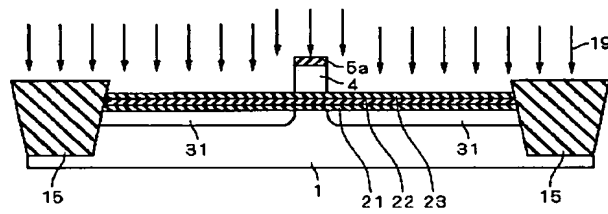
【図12】



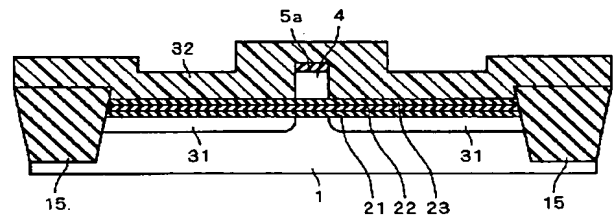
【図13】



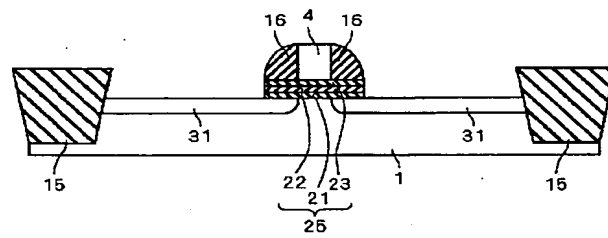
【図14】



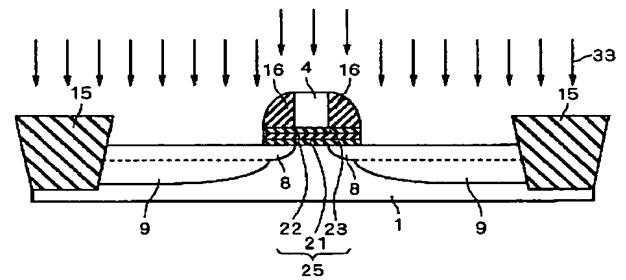
【図15】



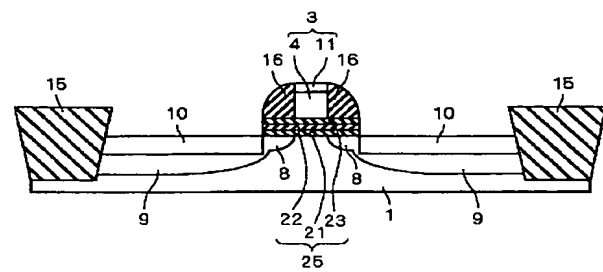
【図16】



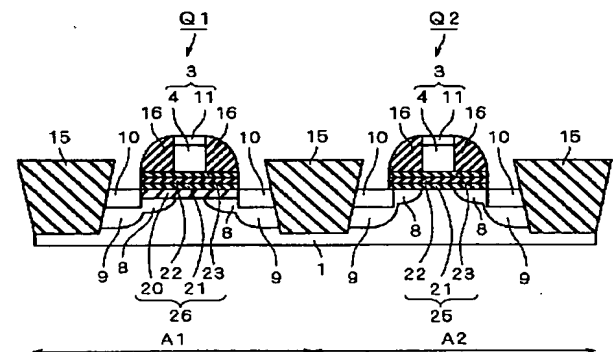
【図17】



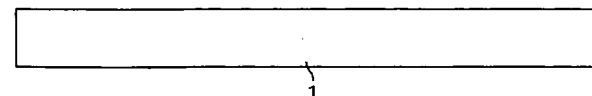
【図18】



【図19】

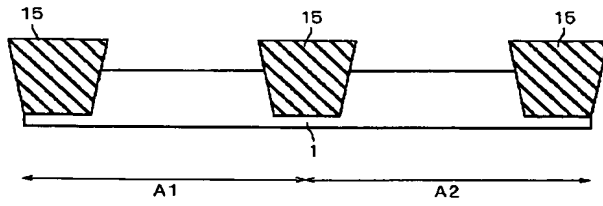


【図20】

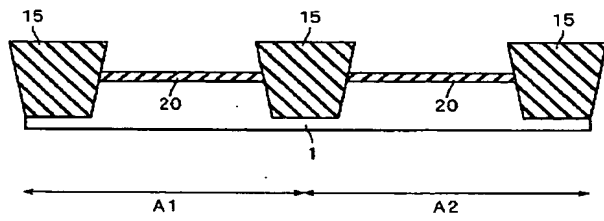


20: SiO₂膜
 26: 積層ゲート絶縁膜
 A1: 高電圧動作領域
 A2: 低電圧動作領域
 Q1: 高電圧用MOSトランジスタ
 Q2: 低電圧用MOSトランジスタ

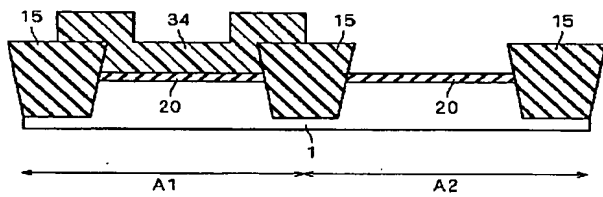
【図21】



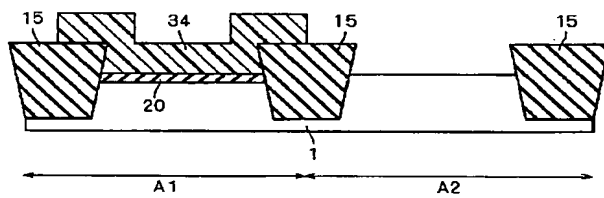
【図22】



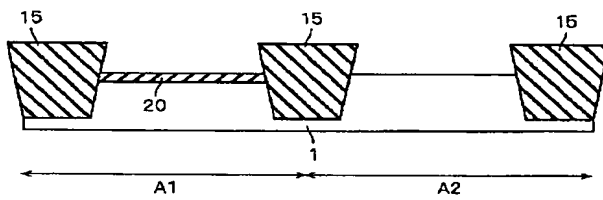
【図23】



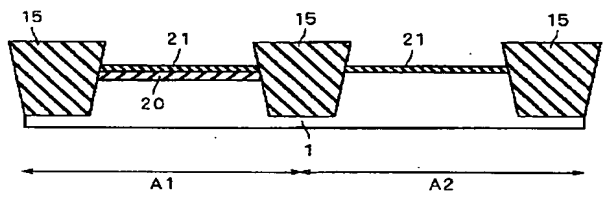
【図24】



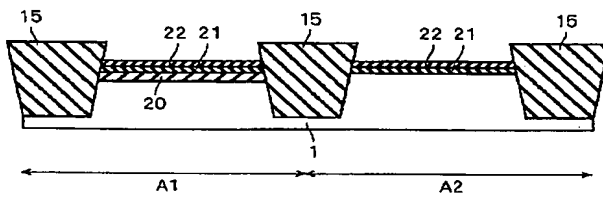
【図25】



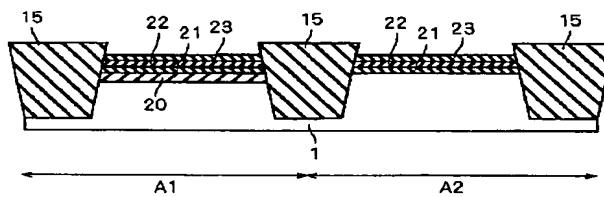
【図26】



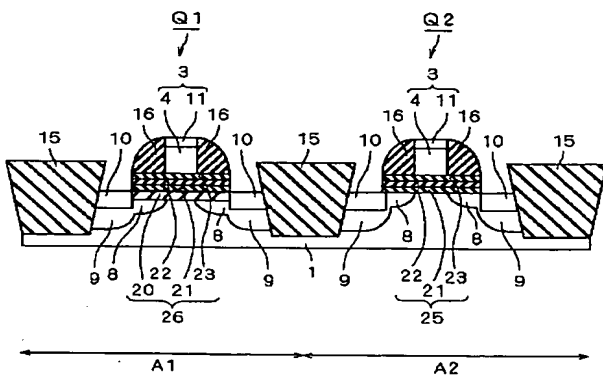
【図27】



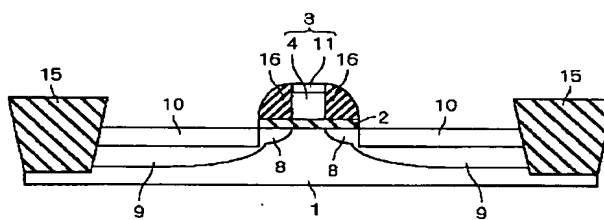
【図28】



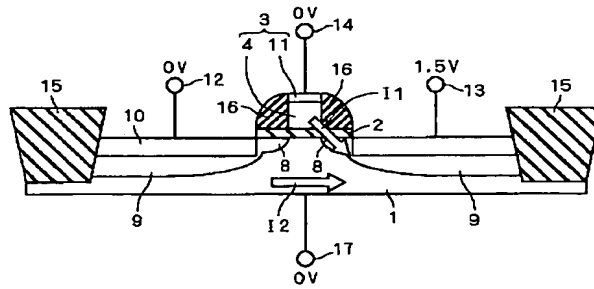
【図29】



【図30】



【図31】



フロントページの続き

F ターム(参考) 5F040 DA01 DA02 DA06 DB01 DC01
 EC01 EC07 EC11 ED02 ED03
 EF02 EK01 EK05 FA07 FA16
 FB02 FC13 FC19
 5F048 AA00 AA05 AA08 AC01 AC03
 BA01 BB04 BB06 BB07 BB08
 BB11 BB13 BB16 BB17 BC05
 BC06 BF06 BG14